

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-021735

(43)Date of publication of application : 29.01.1993

(51)Int.Cl.

H01L 27/092

H01L 21/336

H01L 29/784

(21)Application number : 03-197248

(71)Applicant : SONY CORP

(22)Date of filing : 11.07.1991

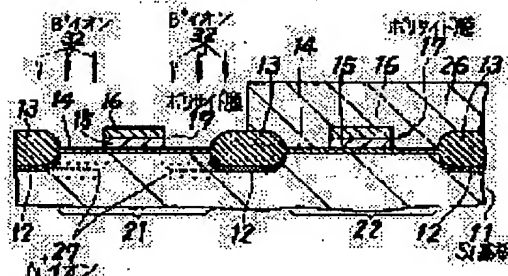
(72)Inventor : CHISHIMA KENJI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To manufacture a semiconductor device which is difficult to produce punches through between impurity layers under a gate electrode.

CONSTITUTION: A polycide film 17 is processed in a gate electrode pattern. With this polycide film 17 as a mask, N⁺ ions 27 are ion-implanted into an Si substrate 11. Then, B⁺ ions 32, which are required to form a source/drain of a p channel MOS transistor, are ion-implanted into the Si substrate 11 with the polycide film 17 as a mask. As a result, by diffusing the B⁺ ions 32 through annealing, N⁺ ions 27 inhibit the diffusion of the B⁺ ions 32 during the formation of the source drain so that the diffusion of the source drain is inhibited.



LEGAL STATUS

[Date of request for examination] 26.06.1998

[Date of sending the examiner's decision of rejection] 03.10.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-21735

(43)公開日 平成5年(1993)1月29日

(51)Int.Cl.⁵

H 0 1 L 27/092
21/336
29/784

識別記号

庁内整理番号

F I

技術表示箇所

7342-4M
8225-4M

H 0 1 L 27/ 08
29/ 78

3 2 1 E
3 0 1 P

審査請求 未請求 請求項の数1(全 4 頁)

(21)出願番号 特願平3-197248

(22)出願日 平成3年(1991)7月11日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 千島 健治

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

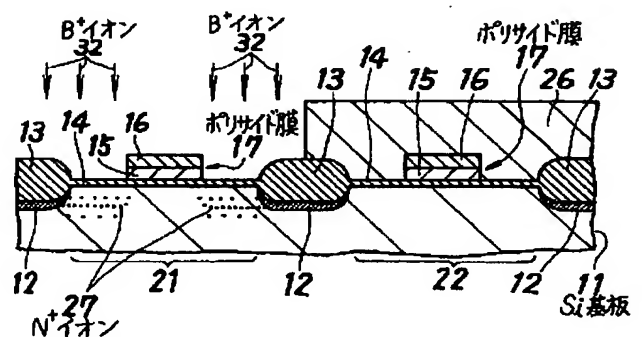
(74)代理人 弁理士 土屋 勝

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】ゲート電極下において不純物層間のパンチスルーが生じにくい半導体装置を製造する。

【構成】ポリサイド膜17をゲート電極のパターンに加工し、このポリサイド膜17をマスクにしてN⁺イオン27をSi基板11にイオン注入してから、pチャネルMOSトランジスタのソース・ドレインを形成するためのB⁺イオン32を、ポリサイド膜17をマスクにしてSi基板11にイオン注入する。このため、B⁺イオン32をアニールで拡散させることによってソース・ドレインを形成する際に、N⁺イオン27がB⁺イオン32の拡散を抑制し、ソース・ドレインの拡がり抑制される。



(2)

【特許請求の範囲】

【請求項1】ゲート電極のパターニング後に、不純物層を形成する不純物の拡散を抑制する物質を、前記ゲート電極をマスクにして半導体基板に導入し、前記ゲート電極をマスクにして前記不純物を前記半導体基板に導入する半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置、特に、MOS型半導体装置の製造方法に関するものである。

【0002】

【従来の技術】MOSトランジスタの製造に際しては、一般に、ゲート電極をマスクにして不純物を半導体基板に導入することによって、不純物層であるソース・ドレインをゲート電極に対して自己整合的に形成している。

【0003】ところが、特に、pチャネルMOSトランジスタのソース・ドレインを形成するための不純物として一般的に用いられているB（ボロン）は、Si中における拡散係数が大きい。このため、MOSトランジスタが微細化されてゲート長がサブミクロンオーダーになると、ゲート電極下へのBの側方拡散によるパンチスルーが深刻になってきている。この様なパンチスルーを防止するために、半導体基板と同一導電型の不純物をゲート電極下の深い位置へ導入する等の対策が行われている。

【0004】

【発明が解決しようとする課題】しかし、上述の様な対策を行っても、パンチスルーを確実に防止することが困難になってきている。従って本発明は、パンチスルーが生じにくい半導体装置を製造する方法を提供することを目的としている。

【0005】

【課題を解決するための手段】本発明による半導体装置の製造方法は、ゲート電極17のパターニング後に、不純物層を形成する不純物32の拡散を抑制する物質27を、前記ゲート電極17をマスクにして半導体基板11に導入し、前記ゲート電極17をマスクにして前記不純物32を前記半導体基板11に導入する。

【0006】

【作用】本発明による半導体装置の製造方法では、不純物32の拡散を抑制する物質27によって、不純物層の接合位置を制御することができ、ゲート電極17下への不純物層の拡がりも抑制することができる。

【0007】

【実施例】以下、CMOSトランジスタの製造に適用した本発明の一実施例を、図1～6を参照しながら説明する。

【0008】本実施例では、図1に示す様に、Si基板11の素子分離領域にチャネルストッパ12とSiO₂膜13とを形成した後、素子活性領域の表面にゲート酸

2

化膜であるSiO₂膜14を形成する。そして、p型の不純物をドーブした多結晶Si膜15とタングステンシリサイド膜やモリブデンシリサイド膜等であるシリサイド膜16とから成るポリサイド膜17を形成する。

【0009】次に、図2に示す様に、pチャネルMOSトランジスタを形成するための領域21とnチャネルMOSトランジスタを形成するための領域22とのうちで、領域22のみをレジスト23で覆い、領域21は露出させる。

【0010】次に、図3に示す様に、レジスト23をマスクにして、多結晶Si膜15にN⁺イオン24をイオン注入する。この時、濃度プロファイル25で示す様に、シリサイド膜16の表面からのN⁺イオン24の投影飛程が多結晶Si膜15の底部近傍に位置する様な加速エネルギーを用いる。

【0011】次に、図4に示す様に、レジスト23を除去し、pチャネルMOSトランジスタ及びnチャネルMOSトランジスタの夫々のゲート電極のパターンに、ポリサイド膜17を加工する。

【0012】次に、図5に示す様に、再び、領域22のみをレジスト26で覆い、領域21を露出させる。そして今度は、レジスト26とSiO₂膜13と領域21のポリサイド膜17とをマスクにして、領域21のSi基板11にN⁺イオン27を10¹²cm⁻²のオーダーのドーズ量にイオン注入する。この時、濃度プロファイル31で示す様に、Si基板11の表面からのN⁺イオン27の投影飛程がpチャネルMOSトランジスタのソース・ドレインの接合深さに一致する様な加速エネルギーを用いる。

【0013】次に、図6に示す様に、レジスト26とSiO₂膜13と領域21のポリサイド膜17とをマスクにして、領域21のSi基板11にB⁺イオン32をイオン注入する。その後、レジスト26を除去し、今度は領域21のみをレジストで覆い、領域22を露出させる。そして、そのレジストとSiO₂膜13と領域22のポリサイド膜17とをマスクにして、領域22のSi基板11にPhos⁺イオン等をイオン注入する。

【0014】そして更に、Si基板11にイオン注入したB⁺イオン32やPhos⁺イオン等をアニールで拡散させることによってpチャネルMOSトランジスタ及びnチャネルMOSトランジスタの夫々のソース・ドレインを形成する等の従来公知の工程を実行して、CMOSトランジスタを完成させる。

【0015】以上の様な本実施例では、Si基板11にイオン注入したB⁺イオン32をアニールで拡散させることによってpチャネルMOSトランジスタのソース・ドレインを形成する際に、既にSi基板11中にイオン注入してあるN⁺イオン27がB⁺イオン32の拡散を抑制する。このため、本実施例で製造したCMOSトランジスタでは、pチャネルMOSトランジスタのソース

(3)

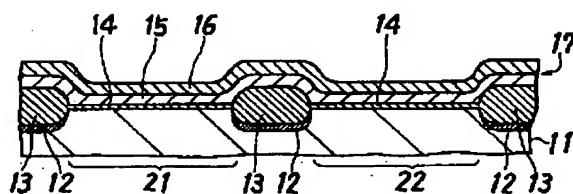
3

・ドレインの拡がりや抑制されており、パンチスルーが生じにくい。

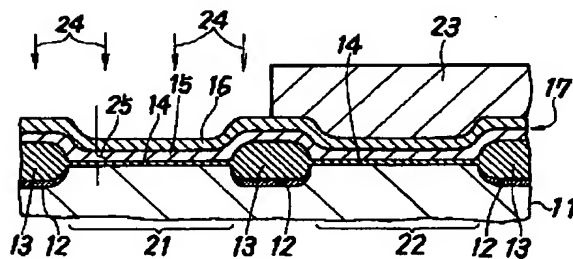
【0016】なお、 N^+ イオン27のドーズ量が既述の様な 10^{12} cm^{-2} のオーダーであれば、この N^+ イオン27がドナーまたはアクセプタとしてpチャネルMOSトランジスタの特性に影響を与えることはない。また、 B^+ イオン32の代わりに BF_2^+ イオンを用いることもでき、 N^+ イオン27の代わりに F^+ イオンを用いることもできる。更に、 N^+ イオン27のイオン注入時の加速エネルギーやドーズ量や入射角度等を調整することによって、pチャネルMOSトランジスタのソース・ドレインの接合位置を制御することができる。

【0017】また、上述の様な本実施例では、多結晶Si膜15に N^+ イオン24をイオン注入しているの、本願の出願人が特願平2-282798号においても提案した様に、多結晶Si膜15中のp型不純物であるB等が後のアニールによって SiO_2 膜14を貫通してSi基板11へ達するのが N^+ イオン24によって抑制されている。このため、このCMOSトランジスタでは、閾値電圧等が所望の値に制御されている。

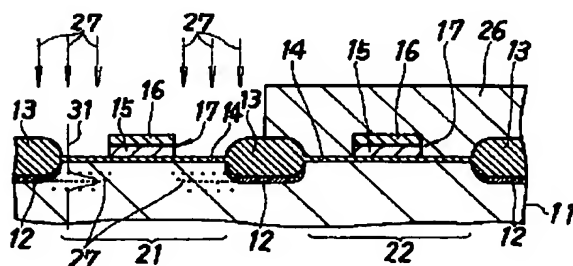
【図1】



【図3】



【図5】



4

【0018】

【発明の効果】本発明による半導体装置の製造方法では、不純物層の接合位置を制御することができ、ゲート電極下への不純物層の拡がりも抑制することができるので、ゲート電極下において不純物層間のパンチスルーが生じにくい半導体装置を製造することができる。

【図面の簡単な説明】

【図1】本発明の一実施例の一部を示す側断面図である。

【図2】図1に続く工程を示す側断面図である。

【図3】図2に続く工程を示す側断面図である。

【図4】図3に続く工程を示す側断面図である。

【図5】図4に続く工程を示す側断面図である。

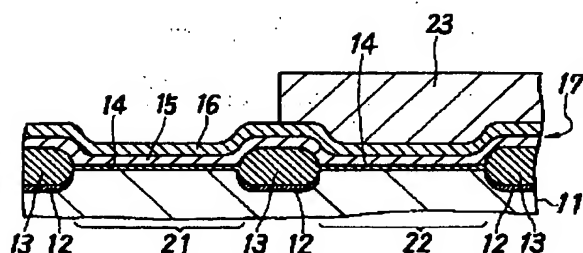
【図6】図5に続く工程を示す側断面図である。

【符号の説明】

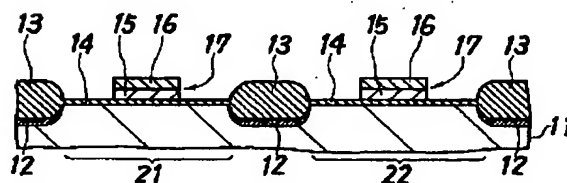
- 11 Si基板
- 17 ポリサイド膜
- 27 N^+ イオン
- 32 B^+ イオン

20

【図2】



【図4】



(4)

【図 6】

